

令和5年11月27日

各位

(一社) 電子情報技術産業協会
半導体信頼性技術委員会
WLR/SER PG

半導体デバイス信頼性セミナー

Foundry 活用時代に必要な半導体信頼性の知識とは？

拝啓 時下益々ご清祥のこととお慶び申し上げます。平素は、当協会の諸事業に対しまして格別のご高配を賜わり、厚く御礼申し上げます。

現在の半導体デバイスの開発・設計・製造業務は広く分業化が進んでおり、特に先端技術を含む CMOS プロセスの場合には、シリコン Foundry を活用する機会が増えています。Foundry を利用した半導体デバイスの開発にあたっては、Foundry から提示されるデータで信頼性検討を行わなければなりません。

一方で、微細化が進む先端 CMOS プロセスでは、世代毎にトランジスタとゲート酸化膜そして、多層配線の摩耗故障の故障メカズムとその信頼性は複雑になっており、その故障メカズムの内容、試験方法そして寿命推定手順は難解になっています。また、材料中の α 線や宇宙線起因で発生するソフトエラーについても同様で、その解釈は難解な項目の一つになっています。

本セミナーでは半導体デバイス信頼性の専門家である JEITA 委員が、半導体 CMOS デバイスの摩耗およびソフトエラーの故障メカズムとその信頼性の考え方について、半導体初心者の方にも理解して頂けるよう丁寧に説明します。また Foundry を使う上での注意点も解説いたします。セミナー内ではセッションごとに直接講師陣へ質問できる Q&A タイムを設定いたしますので、本項目に知識を深めたい方、勉強されたい方には最適な内容となっております。ぜひこの機会にご参加いただけますようご検討ください。

敬 具

【開催概要】

日 時 : 令和6年2月1日(木) 9:30 ~ 17:20 (開場9:00 ~)

場 所 : (公財)総評会館 連合会館 402会議室
〒101-0062 東京都千代田区神田駿河台3-2-11 (案内図参照)

主 催 : (一社)電子情報技術産業協会 半導体信頼性技術委員会 WLR/SER PG

定 員 : 40名(定員になりしだい締め切らせていただきます。)

参加費 : 会員 20,000円(税込)
非会員(一般) 25,000円(税込)
学生 3,000円(税込)
特別参加 33,000円(税込)

<特別参加について>

聴講は2名まで可能です。

また、JEITA規格(EDR-4705B、EDR-4707A)を1セットお付けします。

※会員・非会員の区分は、下記にてご確認ください。

<https://www.jeita.or.jp/cgi-bin/member/list.cgi>

※支払方法について

お申込みいただいた方に「電子請求書(PDF版)」をE-mailでお送りします。

参加費は、セミナー開催前に、事前支払いをお願いしております。

お振込み頂いた参加費は、返金できませんので予めご了承ください。

申込方法 : 事前申込制です。下記サイトからお申し込みください。

<https://www.jeita.or.jp/form/custom/306/form>

申込期限 : 令和6年1月25日(木)

※申込期限までに定員に達した場合は、その時点で締め切らせていただきます。

お申込み後のキャンセルはご遠慮ください。

備 考 : セミナーで解説する内容をまとめた資料につきましては、当日配布いたします。

■JEITA 規格の特別頒布について

半導体信頼性技術委員会で発行する下記の規格を、本セミナーの参加者限定価格で販売いたします。
この機会にぜひお求めください。

※購入申込書は、セミナー参加をお申込みいただいた方に別途お送りいたします。

規格・ガイドライン名	規格番号	通常頒布価格 (税込)	セミナー参加 特別頒布価格 (税込)
ソフトウェア試験ガイドライン	EDR-4705B	5,500 円	4,000 円
LSI の故障メカニズム及び試験方法に関する調査報告	ED-4707A	12,362 円	9,000 円

■ 連合会館へのアクセス (<https://rengokaikan.jp/access/index.html>)

(公財) 総評会館 連合会館 402 会議室
〒101-0062 東京都千代田区神田駿河台 3-2-11

東京メトロ千代田線「新御茶ノ水駅」B3 出口より徒歩 0 分
東京メトロ丸ノ内線「淡路町駅」B3 出口より徒歩 0 分 ※
都営地下鉄新宿線 「小川町駅」B3 出口より徒歩 0 分 ※
※丸ノ内線、新宿線をご利用の方は地下道を通り、千代田線方面へ



- 1 ザ・ビー お茶の水 2 お茶の水ホテルジュラク 3 ホテルマイステイズ御茶ノ水
— パーキングメーター P 有料駐車場

プログラム :

時間	タイトル	登壇者
9 : 30 ~ 9 : 45	開会のあいさつ	JEITA 半導体信頼性技術委員会 主査 宮川 高志 [ルネサスエレクトロニクス (株)]
9 : 45 ~ 9 : 55	概要説明	JEITA WLR/SER PG 主査 茂野 洋一 [ルネサスエレクトロニクス (株)] 本セミナーにて取り上げている故障メカニズムの説明に入る前に、半導体デバイスの生涯使用期間(lifetime)における摩耗故障と偶発故障の位置づけを説明し、各項目がどの段階で発生を想定しているかの内容を説明いたします。

プログラム :

時間	タイトル	登壇者
9 : 55 ~ 10 : 30	半導体デバイスの信頼性 High-k Metal gate/FinFET の基礎	JEITA WLR/SER PG 主査 茂野 洋一 [ルネサスエレクトロニクス (株)] シリコン-Fuoudry の先端デバイスに採用されている High-K/Metal Gate や 新規構造のデバイス (FinFET, GAA) について、採用された背景と特徴を説明します。
10 : 30 ~ 10 : 35	休憩	
10 : 35 ~ 11 : 30	半導体デバイスの信頼性 ゲート絶縁膜の経時絶縁破壊 (TDDB)	JEITA WLR/SER PG 大日方 浩二 [ソニーセミコンダクターソリューションズ (株)] MOS 電界効果トランジスタ(FET)のゲート絶縁破壊現象(TDDB)について、その故障メカニズム、加速モデル、評価方法、そして寿命推定方法を説明し、シリコン Foundry を使用する上での注意点を解説いたします。

	半導体デバイスの信頼性 バイアス温度不安定性 (BTI)	
11 : 30 ~ 12 : 00	JEITA WLR/SER PG	足立 耕作 [ローム (株)]
	半導体デバイスに使用される MOS 電界効果トランジスタ(FET)の BTI による特性変動現象について、その故障メカニズムの説明、評価方法そして寿命推定の方法を、近年主流となっている加速モデル含めて説明し、シリコン-Foundry を使用する上での注意点を解説いたします。	
12:00 ~ 12:50	お昼休み	
	半導体デバイスの信頼性 ホットキャリア注入 (Hot Carrier Injection)	
12 : 50 ~ 13 : 35	JEITA WLR/SER PG	小松原 弘毅 [ラピスセミコンダクタ (株)]
	半導体 CMOS デバイスのホットキャリア注入(HCI)による特性変動現象に対し、その故障メカニズムと評価・寿命推定の方法を、近年主流となっている加速モデルも含めて説明いたします。	
	半導体デバイスの信頼性 配線の断線故障 エレクトロマイグレーション (EM)	
13 : 35 ~ 14 : 10	JEITA WLR/SER PG 主査	茂野 洋一 [ルネサスエレクトロニクス (株)]
	配線に電流を流すことによって発生する断線故障： エレクトロマイグレーション (EM)について、その信頼性の評価方法と最近の問題点、改善策を説明します。	
14 : 10 ~ 14 : 20	休憩	

<p>14 : 20 ~ 14 : 55</p>	<p>半導体デバイスの信頼性 配線の断線故障 ストレスマイグレーション (SM)</p>
	<p>JEITA WLR/SER PG 松山 英也 [メガチップス (株)]</p>
	<p>SM は EM と並び半導体デバイスの多層配線の代表的な故障現象です。加速方法が難しくメカニズムに基づいた試験パターンの作成が必要になります。初心者の方にもわかるように基本から説明します。またシリコン-Foundry を使用する上での注意点も補足説明致します。</p>
<p>14 : 55 ~ 15 : 30</p>	<p>半導体デバイスの信頼性 Low-k 膜を含む多層絶縁膜 (ILD/IMD)の信頼性</p>
	<p>JEITA WLR/SER PG 土肥 靖弘 [東芝デバイス&ストレージ (株)]</p>
	<p>多層配線で発生する TDDB について、故障メカニズム、試験内容、評価パターン、加速モデルについて説明します。また、シリコン-Foundry を活用する際の注意すべきポイントについても説明します。</p>
<p>15 : 30 ~ 15 : 40</p>	<p>休憩</p>
<p>15 : 40 ~ 16 : 05</p>	<p>半導体デバイスのソフトエラー α線によるソフトエラー</p>
	<p>JEITA WLR/SER PG 上 藺 巧 [(株) 日立製作所]</p>
	<p>半導体デバイスで起こるソフトエラーについて基礎的な説明を行います。その後、代表的な発生原因であるアルファ線の特徴とエラー発生メカニズムおよび評価方法について説明致します。</p>

16 : 05 ～ 16 : 35	半導体デバイスのソフトエラー 中性子線によるソフトエラー
	JEITA WLR/SER PG 上 蘭 巧 [(株) 日立製作所]
	ソフトエラーのもう一つの発生原因である中性子線について、その特徴と発生エラーメカニズムに加え、加速器施設を利用した評価方法や近年のエラー率トレンドについて説明致します。
16 : 35 ～ 17 : 05	半導体デバイスのソフトエラー エラーレートの算出とディレーティングの考え方
	JEITA WLR/SER PG 加藤 貴志 [株式会社ソシオネクスト]
	ソフトエラーによる半導体デバイスの故障率(ソフトエラーレート)の算出には、連続動作試験から求める場合とは異なるディレーティングの考え方が適用することが出来ます。この内容について説明致します。
17 : 05 ～ 17 : 15	質疑応答
17 : 15 ～ 17 : 20	閉会のご挨拶

※時間および内容の詳細に関しては、予告なく変更する場合がございます。予めご了承ください。

■ 運営事務局・各種お問合せ先

一般社団法人 電子情報技術産業協会 事業推進戦略本部 事業推進部 担当：岩淵・遠山
〒100-0004 東京都千代田区大手町1丁目1番3号 (大手センタービル)
E-mail : device3@jeita.or.jp

■ 個人情報保護について

※ご参加いただきました方の個人情報は、本セミナーの受付、JEITA 主催セミナーのご案内、セミナーアンケートでの質疑回答のために使用いたします。これら以外の目的で使用することはございません。

※JEITA の個人情報保護方針につきましては下記をご参照ください。

<http://www.jeita.or.jp/japanese/privacy/>